



Partial Translation of JP.2003-037030A

[0031]

Next, a method to bond the supporting substrate 133 and the semi-conductor wafer 100 will be explained. First, thermosetting resin 132, such as silicone and an acrylic resin, is sandwiched between the semi-conductor wafer 100 and the substrate 133. Next the thermosetting resin 132 is annealed at the temperature of about 150 degrees C and is hardened in order to bond the substrate 133 and the semi-conductor wafer 100. It is noted that, if glass is used as the substrate 133, the bonding can be made by ultraviolet radiation through the glass substrate to the ultraviolet curing resin sandwiched between the semi-conductor wafer 100 and the glass substrate.

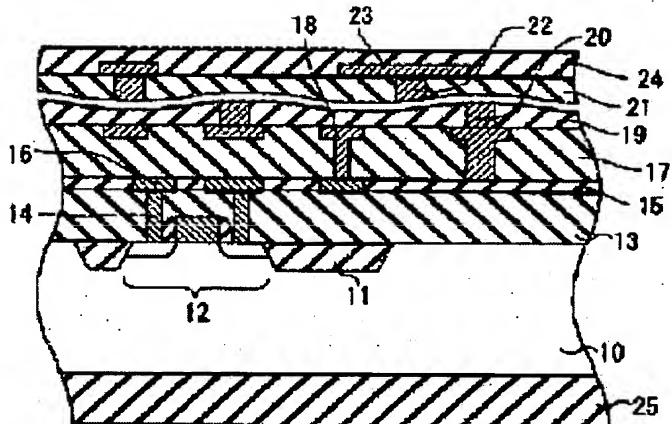
SEMICONDUCTOR DEVICE

Publication number: JP2003037030
Publication date: 2003-02-07
Inventor: SASAKI KEIICHI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- **International:** H01L21/02; H01L21/02; (IPC1-7): H01L21/02
- **European:**
Application number: JP20010223393 20010724
Priority number(s): JP20010223393 20010724

[Report a data error here](#)

Abstract of JP2003037030

PROBLEM TO BE SOLVED: To suppress the generation of warpage in a semiconductor chip. **SOLUTION:** The semiconductor chip comprises a silicon substrate 10, a semiconductor device element 12 formed on a first main surface of a silicon substrate 10, more than one layer of interlayer insulating layers 15, 17, 19, 21 formed on the first main surface of the silicon substrate 10, and a reverse-side stress generating layer 25 formed on a second main surface that is located opposite to the first main surface of the silicon substrate 10. The reverse-side stress generating layer 25 applies a stress that is directed reverse against the stress applied to the first main surface of the silicon substrate 10, to the second main surface of the silicon substrate.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-37030

(P2003-37030A)

(43) 公開日 平成15年2月7日 (2003.2.7)

(51) Int.Cl.⁷

H 01 L 21/02

識別記号

F I

H 01 L 21/02

テーマコード (参考)

C

審査請求 未請求 請求項の数 4 OL (全 8 頁)

(21) 出願番号

特願2001-223393 (P2001-223393)

(22) 出願日

平成13年7月24日 (2001.7.24)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 佐々木 圭一

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

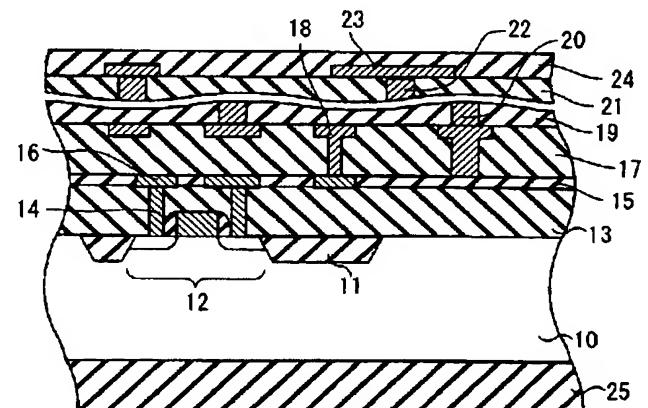
弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体チップに反りが発生することを抑制すること。

【解決手段】 シリコン基板10と、シリコン基板10の第1の主面上に形成された半導体素子12と、シリコン基板10の第1の主面上に形成された1層以上の層間絶縁膜15, 17, 19, 21と、シリコン基板10の第1の主面と反対側の第2の主面上に形成され、シリコン基板10の第1の主面側に加わる応力と逆向きの応力をシリコン基板の第2の主面側に対して加える逆応力発生層25とを具備する。



半導体チップを実装する場合に不良が発生するという問題があった。

【0007】本発明の目的は、薄型化しても反りの発生が抑えられ、不良の発生を抑制し得る半導体装置を提供することにある。

【0008】

【課題を解決するための手段】本発明は、上記目的を達成するために以下のように構成されている。

【0009】本発明に係わる半導体装置は、半導体基板と、この半導体基板の第1の主面上に形成された半導体素子と、前記半導体基板の第1の主面上に形成された1層以上の層間絶縁膜と、前記半導体基板の第1の主面と反対側の第2の主面上に形成され、該半導体基板の第1の主面側に加わる応力と逆向きの応力を該半導体基板の第2の主面側に加える逆応力発生層とを具備してなることを特徴とする半導体装置。

【請求項2】1層以上の層間絶縁膜は、主としてCVD法により形成された絶縁膜であり、前記逆応力発生層は塗布法により形成された絶縁膜であることを特徴とする請求項1に記載の半導体装置。

【請求項3】1層以上の層間絶縁膜は、主として塗布法により形成された絶縁膜であり、前記逆応力発生層はCVD法により形成された絶縁膜であることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記半導体基板を貫通するプラグ電極が形成されていることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板が薄型化された半導体装置に関する。

【0002】

【従来の技術】近年、ICカードへの搭載や、三次元積層化のために、半導体チップの薄型化が進んでいる。チップの薄型化に従って、ウェハ上に積層されている膜及び裏面の研削時に発生する応力により、チップにそりが発生することが問題となっている。

【0003】そりが大きくなることにより、チップの吸着や固定が困難になるなど、アッセンブリ工程において、歩留まり低下の原因となっている。

【0004】実装部材と半導体チップとを接合する際、例えば金パンプを用いてフェースダウンで接合させるためには、接続の高さバラツキは数 μ m以下にしなければ接続できず、不良となる。チップに反りが有る場合には、チップ面積が大きくなるのに従って、反りの問題が多くなり、不良が増大する。

【0005】従来、半導体チップの厚さが300 μ m以上で有れば、この反りが問題となることがなかった。しかし、ウェハ表面の配線層が厚くなると共に、チップの薄型化が進むに従って、薄型化される前に比べて薄型化されたチップの剛性が弱くなり、素子面に形成された絶縁層の応力によって、チップの反りが発生する。

【0006】

【発明が解決しようとする課題】上述したように、半導体基板の薄型化に伴い、半導体チップに反りが発生し、

10

20

30

40

50

【0010】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【0011】(第1の実施形態)図1は、本発明の第1の実施形態に係わる半導体チップの概略構成を示す断面図である。図1に示すように、薄型化されたシリコン基板10の素子分離絶縁膜11によって囲まれた素子領域に半導体素子12が形成されている。なお、以下では、半導体素子12が形成された面を半導体チップの表面(第1の主面)、半導体素子12が形成された面と反対側の面を半導体チップの裏面(第2の主面)と記す。

【0012】シリコン基板10上に半導体素子12を覆うように、メタル前層間絶縁膜13が形成されている。メタル前層間絶縁膜13には、半導体素子12に接続されたコンタクトホールが形成されている。コンタクトホール内にプラグ電極14が形成されている。メタル前層間絶縁膜13上に第1層間絶縁膜15及び第1配線層16が形成されている。第1層間絶縁膜15及び第1配線層16上に第2層間絶縁膜17が形成されている。第2層間絶縁膜17に第1ヴィアホール及び第1配線溝が形成されている。第1ヴィアホール及び第1配線溝内に第2ヴィア電極及び第2配線層18が形成されている。第2層間絶縁膜17上に第3層間絶縁膜19が形成されている。第3層間絶縁膜19には、第2ヴィアホール及び第2配線溝が形成されている。第2ヴィアホール及び第2配線溝内に、第3ヴィア電極及び第3配線層20が形成されている。第3層間絶縁膜19上には、第n層間絶縁膜21が形成されている。第n層間絶縁膜21には、第n-1ヴィアホールが形成されている。第n-1ヴィアホール内には第nヴィア電極22が形成されている。第n層間絶縁膜21上には第nヴィア電極22に接続するパッド電極23が形成されている。第n層間絶縁膜21上にパッド電極23を覆うように、パッシベーション層24が形成されている。なお、第3層間絶縁膜19と

第n層間絶縁膜21との間には0層以上の層間絶縁膜が形成されている。第3層間絶縁膜19と第n層間絶縁膜21との間に形成されている層間絶縁膜にも配線層及びヴィア電極が形成されている。

【0013】シリコン基板10の裏面には、逆応力発生層25が形成されている。逆応力発生層25は、シリコン基板10表面側上に形成された第1～第n層間絶縁膜15, 17, 19, 21で発生する応力の向きと逆向きの応力を発生するように、その材料が選ばれる。

【0014】絶縁膜(層間絶縁膜)は、CVD法で形成されるもの(CVD系絶縁膜)と、有機溶媒に絶縁材を溶かした液膜を形成した後に、熱処理して形成されるもの(塗布系絶縁膜)との2種類に大別することができる。総じてAl配線を用いた半導体装置ではCVD系絶縁膜が用いられ、Cu配線を用いた半導体装置には塗布系絶縁膜が用いられる。

【0015】CVD系絶縁膜は、圧縮応力を発生させる。CVD膜が形成されている面を上にした場合には、ウェハには上に凸のそりが発生する。また、塗布系絶縁膜は、引っ張り応力を発生させる。従って、塗布膜が形成されている面を上にした場合、ウェハには下に凸の反りが発生する。

【0016】従って、第1～第n層間絶縁膜15, 17, 19, 21が主として引っ張り応力を発生させる塗布系絶縁膜で構成されている場合、シリコン基板10表面側には引っ張り応力が加わる。よって、第1～第n層間絶縁膜15, 17, 19, 21が主に塗布系絶縁膜で構成されている場合、逆応力発生層25としては圧縮応力を発生させるCVD系絶縁膜を用いる。その結果、シリコン基板10の表面側には引っ張り応力が加わり、シリコン基板10の裏面側には圧縮応力が加わり、シリコン基板10に対してはそれぞれ逆の応力が加わることになるので、チップの反りの発生を抑制することができる。

【0017】また、第1～第n層間絶縁膜15, 17, 19, 21が主として圧縮応力を発生させるCVD系絶縁膜で構成されている場合、シリコン基板10表面側には圧縮応力が加わる。よって、第1～第n層間絶縁膜15, 17, 19, 21が主にCVD系絶縁膜で構成されている場合、逆応力発生層25としては引っ張り応力を発生させる塗布系絶縁膜を用いる。その結果、シリコン基板10の表面側には圧縮応力が加わり、シリコン基板10の裏面側には引っ張り応力が加わる。対向する二つの面には逆方向の応力が加わっているので、シリコン基板10に加わる全体の応力は小さくなるので、半導体チップに反りが発生することを抑制することができる。

【0018】シリコン基板10裏面側に形成される逆応力発生層25の膜厚は、シリコン基板10表面側に加わる引っ張り応力又は圧縮応力に応じて決定される。即ち、シリコン基板10表面側に加わる引っ張り応力又は

圧縮応力とほぼ同じ大きさの圧縮応力又は引っ張り応力がシリコン基板10裏面側に加わるように逆応力発生層25の膜厚を決定することが好ましい。二つの応力の大きさをほぼ等しくすることによって、半導体チップの反りをほとんど0にすることができる。

【0019】しかし、チップの反り量が、絶対量で20 μm 以下、望ましくは10 μm 以下範囲内で有れば、実装時の接合等に問題とならない。従って、チップの反り量が、絶対量で20 μm 以下、望ましくは10 μm 以下となるように、逆応力発生層25の膜厚が設定されなければならない。

【0020】なお、チップの反りが実装時の接合に問題となる条件はチップサイズに応じて変化する。先ず、チップサイズが1cm²以下の場合に問題が発生する条件を以下に示す。チップ表面の配線層が5層以下の場合にはチップ厚60 μm 以下で問題が発生する。また、配線層が6層以上の場合にはチップ厚120 μm 以下で問題が発生する。従って、1cm²以下のチップサイズの場合、配線層数が5層以下、且つチップ厚が60 μm 以下、或いは配線層数が6層以上、且つチップ厚が120 μm 以下の半導体チップに対して、本実施形態で説明したように、シリコン基板裏面側に逆応力発生層を形成することが好ましい。

【0021】次に、チップサイズが2cm²以下の場合に問題が発生する条件を以下に示す。チップ表面の配線層が5層以下の場合にはチップ厚100 μm 以下で問題が発生する。また、配線層が6層以上の場合にはチップ厚250 μm 以下で問題が発生する。従って、2cm²以下のチップサイズの場合、配線層数が5層以下、且つチップ厚が100 μm 以下、或いは配線層数が6層以上、且つチップ厚が250 μm 以下の半導体チップに対して、本実施形態で説明したように、シリコン基板裏面側に逆応力発生層を形成することが好ましい。

【0022】以上説明したように、シリコン基板10の裏面側に、シリコン基板10の表面側に加わる応力と逆向きの応力を発生する逆応力発生層25を形成することによって、二つの応力が打ち消しあうので、半導体チップが反ることを抑制できる。

【0023】なお、ウェハの薄型化は、通常研削によって行われるため、薄型化後のウェハ裏面には研削痕が残る。研削痕によっても応力が発生する。よって、研削痕をウエットエッティング、ドライエッティング、CMP等で除去した後、反りを抑制する膜を形成することが望ましい。

【0024】(第2の実施形態) 3次元LSIの一つとして、半導体基板を貫通する導電プラグ(以下、スループラグと記す)が形成された半導体チップがある。スループラグを形成するために、半導体基板を薄型化する場合がある。薄型化された半導体チップを積層する場合にも、半導体チップの反りが問題となる。半導体チップが

多段に積層されると、各チップの反りによって発生する高さバラツキが積層する毎に大きくなり、接続不良の原因となる。

【0025】そこで、スループラグを有する半導体チップにも、第1の実施形態で説明した逆応力発生層を形成することが好ましい。以下に、既に半導体素子及びスループラグが形成されている半導体ウェハに対して、半導体基板の研削による薄型化、逆応力発生層の形成、及びダイシング工程を行って、半導体チップを得るまでを説明する。

【0026】図2は、半導体素子が集積されたマルチチップ用半導体チップが複数形成された半導体ウェハの概略構成を図示している。また、図3(a)～図6(h)は、マルチチップ用半導体チップのスループラグ周辺及びダイシング領域を図示している。

【0027】先ず、図2(a)、図3(a)に示すように、シリコン基板101のチップ領域に半導体素子112が形成されると共に、スループラグ116が形成された半導体ウェハ100を用意する。図2(a)及び図3(a)において、111は素子分離絶縁膜、113は第1の層間絶縁膜、114は第1のプラグ、115はシリコン酸化膜或いはシリコン窒化膜からなる側壁絶縁膜、117は配線、118は第2の層間絶縁膜、119は第2のプラグ、120は配線、121は第3の層間絶縁膜、122は第3のプラグ、123はパッド、124は保護膜、131はダイシング領域である。また、図2(a)において、141は前述した半導体素子112等が形成されたデバイス形成面である。なお、図2では、半導体素子等の詳細な構成の図示を省略している。なお、以下では、半導体素子112が形成された面を表面(第1の正面)、半導体素子112が形成された面と反対側の面を裏面(第2の正面)とする。

【0028】次いで、図2(b)、図3(b)に示すように、半導体ウェハ100の表面側全面に、熱硬化性樹脂132により固定基板133を接着して、半導体ウェハ100を固定基板133に固定する。

【0029】半導体ウェハ100を固定する固定基板133について説明する。固定基板133としては、ガラス基板や、Siウェハ、厚さ5μm～800μmの金属等を用いる。固定基板133としてPET(ポリエチレンテレフタレート)等の樹脂を用いた場合には、剛性を増すために、厚さ100μm以上の材料が望ましい。

【0030】固定基板133の大きさとしては、半導体素子112が形成された半導体ウェハ100の径より1～10mm程度大きいものが望ましい。半導体ウェハ100より大きすぎると、搬送を行うために専用の搬送装置を導入しなければならず、製造コストの増大につながる。

【0031】次に、上述した固定基板133と半導体ウェハ100との固定方法について説明する。半導体ウェ

ハ100と固定基板133との固定には、半導体ウェハ100と固定基板133との間にシリコーン、アクリル等の熱硬化性樹脂132を挟んだ後、150℃程度の温度でアニールして熱硬化性樹脂132を硬化させて、半導体ウェハ100を固定基板133に固定させる。なお、固定基板133としてガラスを用いた場合には、半導体ウェハ100とガラス基板との間に紫外光硬化性樹脂を挟み込み、ガラス基板側から紫外光を照射することによって、紫外光硬化性樹脂を硬化させて接着することも可能である。

【0032】次いで、図2(c)、図4(c)に示すように、半導体ウェハ100を固定基板133に固定した状態で、シリコン基板101の裏面側を研削する。シリコン基板101の研削は、スループラグ116がシリコン基板101の裏面側に露出しない状態で終了させる。なお、望ましくは、スループラグ116からシリコン基板101裏面までの厚みが1～5μm程度であることが望ましい。なお、プラグ露出を研削のみで行わないのは、スループラグ116内部のメタル材料の裏面への汚染と、プラグ周辺を保護している酸化膜等が破壊され、スループラグ116とシリコン基板101とがショートすることとの二つの問題があるためである。この2点の問題がない場合には裏面研削のみでプラグ露出を行っても良いことは言うまでもない。

【0033】次いで、図4(d)に示すように、半導体ウェハ100を固定基板133に固定した状態で、RIE, CDE(Chemical Dry Etching), 薬液処理等の手法を用いて、裏面側のシリコン基板101を選択エッチングし、スループラグ116の表面を覆う側壁絶縁膜115を露出させる。このとき、側壁絶縁膜115がエッチングされない条件で行い、スループラグ116を露出させないようにする。この選択エッチングで、シリコン基板101裏面の研削時に形成された研削痕が除去される。研削痕が残存している状態で逆応力発生層を形成すると研削痕によって応力が発生するが、研削痕を除去することによって裏面側で逆応力発生層以外から応力が発生することがない。なお、CMP法を用いて研削痕を除去した後に、RIE, CDE, 薬液等の手法を用いて、裏面側のシリコン基板101を選択エッチングし、スループラグ116の表面を覆う側壁絶縁膜115を露出させても良い。

【0034】次いで、図5(e)に示すように、シリコン基板101の裏面側に感光性ポリイミドを塗布した後、露光現像を行い、側壁絶縁膜115が露出する開口を有する感光性ポリイミド膜134を形成する。

【0035】次いで、図2(f)、図5(f)に示すように、感光性ポリイミド膜134をマスクに用いて、スループラグ116上の側壁絶縁膜115をRIE, CDE法を用いて除去し、スループラグ116を露出させる。その後、半導体ウェハ100に150℃程度のキュ

ア処理を施し、感光性ポリイミド膜134を硬化させて、逆応力発生層135を形成する。通常用いられる熱硬化性樹脂の耐熱温度は~150℃で有るため、キュア温度は150℃以下で有ることが好ましい。ただし、シリコーンは200℃程度の耐熱性があるためキュア温度を200℃で行うことが可能である。このアニール温度の設定の再は、樹脂の変質及び変形が生じないように適宜温度が選択される。なお、熱硬化性樹脂132の耐熱温度がキュア処理の温度より低い場合には、固定基板133から剥離してキュア処理を行っても良い。

【0036】次いで、図2(g), 図6(g)に示すように、RIEやレーザ加工等を用いて半導体ウェハ100のダイシングを行い、ダイシング領域131にチップ領域を囲う溝136を形成する。そして、図2(h), 図6(h)に示すように、固定基板133からマルチチップ用半導体チップ143を剥離する。

【0037】そして、スループラグ116が形成されたマルチチップ用半導体チップ143を積層して3次元LSIを形成する。図7に3次元LSIの概要を示す。図7において、144が半導体素子、配線層、及び層間絶縁膜が形成されている層である。また、図7において、150は下部基板、145はスループラグが形成されていない半導体チップ、146はハンダバンプである。

【0038】図7に示すように、マルチチップ用半導体チップ143の裏面側に層144で発生する応力と逆向きの応力を発生する逆応力発生層135を形成することによって、マルチチップ用半導体チップ143が反ることがない。従って、マルチチップ用半導体チップ143を積層して3次元LSIを形成しても、接続不良が発生することがない。

【0039】なお、上述した製造方法を用いて、第1の実施形態に示した半導体チップを形成することができる。即ち、スループラグ116を形成せずに、固定基板133に接着した後、研削して薄型化した後、逆応力発生層135を形成すればよい。よって、図7において、スループラグが形成されていない半導体チップ145の裏面側にも、半導体チップ143と同様に、逆応力発生膜135を形成することができる。

【0040】また、スループラグ116の形成位置をマルチチップ用半導体チップ143の反りの影響が少ない、マルチチップ用半導体チップ143の反りによってほぼ同じ高さになる位置に配列しても良い。例えば、マルチチップ用半導体チップ143の端部に反りによって段差が生じる場合には、スループラグ116をマルチチップ用半導体チップ143の内側に配置しても良い。

【0041】(第3の実施形態) ウェハ状態であっても、直徑200mmのウェハが5mm以上反ると問題となる。この場合、ウェハの搬送に用いるカセットに挿入するときや、通常用いているホーク式の搬送系で搬送するときには、対応することができない。よって、特殊な

搬送系を用いなければならず、生産性が低下する問題が発生する。

【0042】上述した第1、第2の実施形態では、薄型化した後に逆応力発生層を形成しなければならず、ウェハの反りの問題に対して対応することができない。

【0043】本実施形態では、ウェハ状態での反りを解決し得る半導体装置について説明する。図8は、本発明の第3の実施形態に係る半導体装置の概略構成を示す断面図である。図8において、図1と同一な部位には同一符号を付し、その説明を省略する。

【0044】図8に示すように、最上層に、その下層の第1~第n層間絶縁膜15, 17, 19, 21から発生する応力と逆向きの応力を発生させる逆応力発生層34が形成されている。例えば、第1~第n層間絶縁膜15, 17, 19, 21が主としてCVD系絶縁膜で構成されている場合には、逆応力発生層34として塗布系絶縁膜を用いる。また、例えば、下層の第1~第n層間絶縁膜15, 17, 19, 21が主として塗布系絶縁膜で構成されている場合には、逆応力発生層34としてCVD系絶縁膜を用いる。

【0045】この逆応力発生層34を、シリコン基板10の薄型化を行う前に形成しておくことによって、薄型化しても半導体ウェハが反ることがなくなるので、薄型化後のウェハのハンドリングに特別な搬送装置を用いる必要がなく、生産性が低下することがない。

【0046】本実施形態によれば、下層の第1~第n層間絶縁膜15, 17, 19, 21から発生する応力と逆向きの応力を発生させる逆応力発生層34を半導体装置の最上層に形成することによって、半導体ウェハ及び半導体チップの反りを抑制することができる。

【0047】なお、逆応力発生層34は、必ずしも最上層に形成する必要はなく、最上層から数えて2層目の第n層間絶縁膜21として形成しても良い。

【0048】なお、従来も表面保護のために、最上層に主として塗布法で形成されたパッシベーション層が形成されている。しかし、この場合、チップの反りを抑制することが目的ではなかったために、ポリイミド膜の厚み(発生する応力の大きさ)は考慮されていない。従って、極端な場合には、半導体チップの反りはより大きくなる場合があった。

【0049】さらに、第3の実施形態において、シリコン基板を薄型化した後にシリコン基板の裏面側に逆応力発生層を形成できることは言うまでもない。この場合、シリコン基板上の層間絶縁膜によりシリコン基板表面側に加わる応力と、シリコン基板の薄型化後に裏面に形成される逆応力発生層によりシリコン基板裏面側に加わる応力との合力によって発生する半導体チップの反りを考慮して、裏面側の逆応力発生層の形成後における半導体チップの反りをも抑えられるように、シリコン基板の薄型化の前に表面側に逆応力発生層を形成することが好ま

しい。その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0050】

【発明の効果】以上説明したように本発明によれば、半導体基板の第2の主面上に、半導体基板の第1の主面側に加わる応力と逆向きの応力を半導体基板の第2の主面側に加える逆応力発生層を形成することによって、半導体基板に加わる応力が小さくなるので、半導体装置に反りが発生することを抑制できる。

【図面の簡単な説明】

【図1】第1の実施形態に係わる半導体チップの概略構成を示す断面図。

【図2】第2の実施形態に係わるマルチチップ用半導体チップの製造方法を示す工程断面図。

【図3】第2の実施形態に係わるマルチチップ用半導体チップの製造方法を示す工程断面図。

【図4】第2の実施形態に係わるマルチチップ用半導体チップの製造方法を示す工程断面図。

【図5】第2の実施形態に係わるマルチチップ用半導体チップの製造方法を示す工程断面図。

【図6】第2の実施形態に係わるマルチチップ用半導体チップの製造方法を示す工程断面図。

【図7】第2の実施形態に係わる3次元LSIの概略構成を示す図。

【図8】第3の実施形態に係わる半導体チップの概略構成を示す図。

【符号の説明】

10 10…シリコン基板

11…素子分離絶縁膜

12…半導体素子

13…メタル前層間絶縁膜

14…プラグ電極

15…第1層間絶縁膜

16…第1ヴィア電極及び第1配線層

17…第2層間絶縁膜

18…第2ヴィア電極及び第2配線層

19…第3層間絶縁膜

20…第2ヴィア電極及び第2配線層

21…第n層間絶縁膜

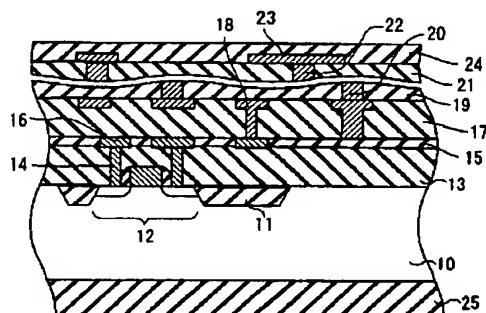
22…第nヴィア電極

23…パッド電極

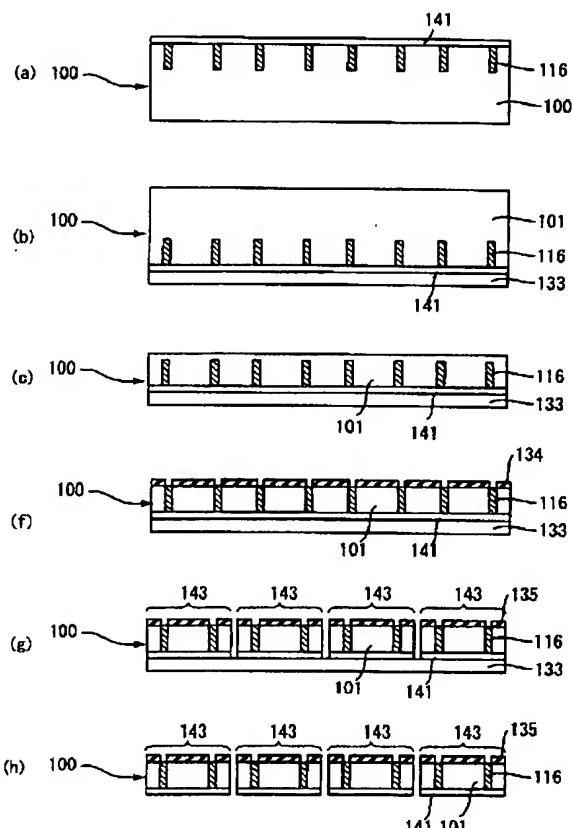
20 24…パッセーション層

25…逆応力発生層

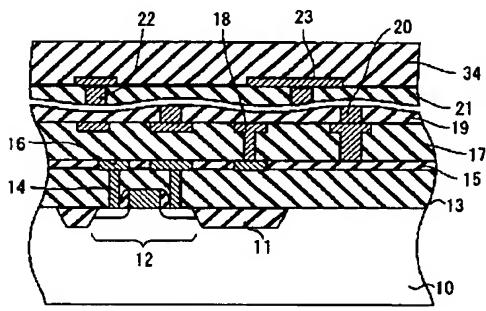
【図1】



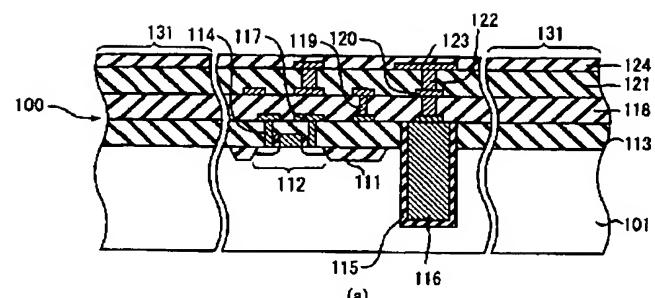
【図2】



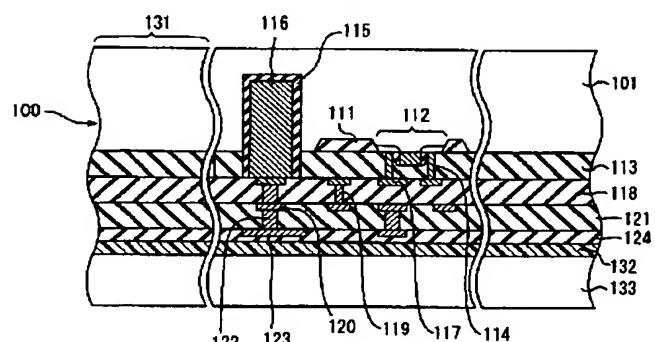
【図3】



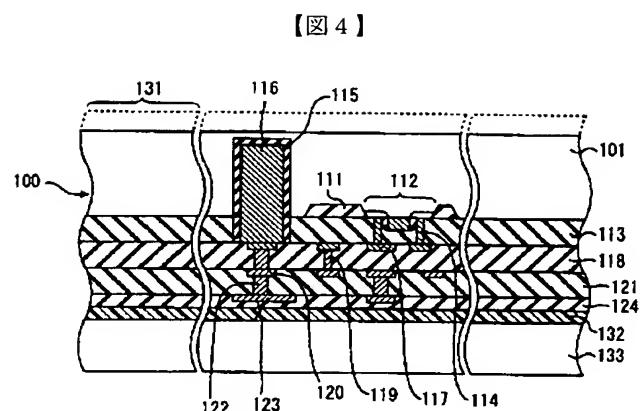
【図3】



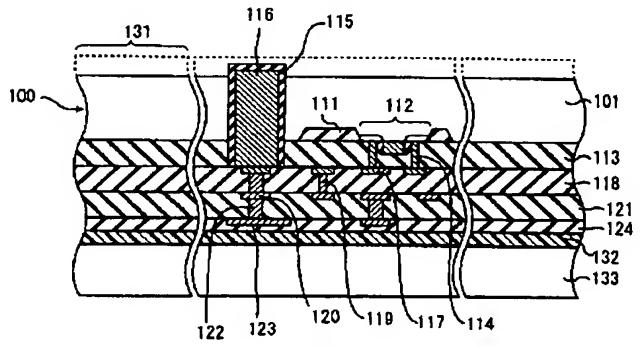
(a)



(b)

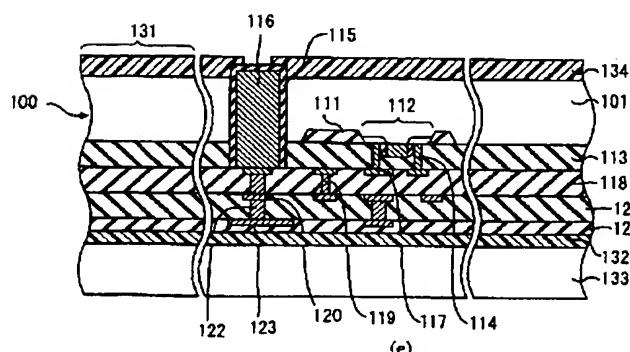


(c)

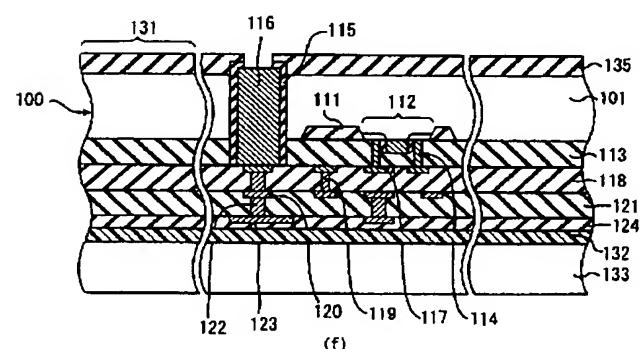


(d)

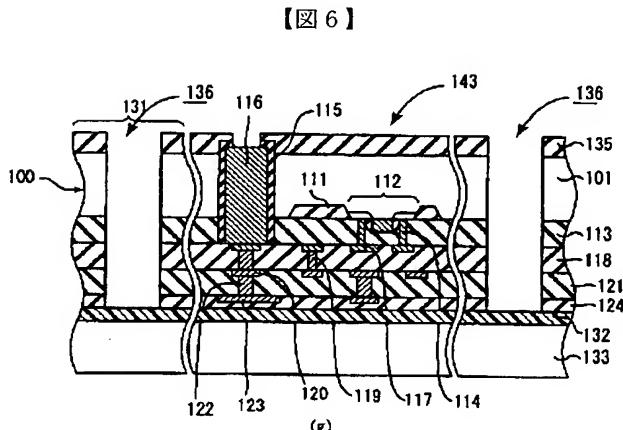
【図5】



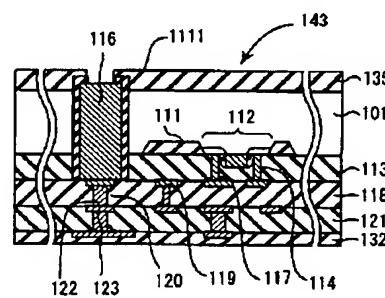
(e)



(f)



(g)



(h)

【図7】

